

```

// plik testbench

`timescale 1 ns/10 ps          // jednostka czasu = 1 ns, dokładność = 10 ps
`include      "uklad.v"        // dołączenie modułu, który symulujemy

module nazwa_tb;              // oddzielny moduł testbenchu

    reg a, b, ...;           // rejestry dla sygnałów wejściowych
    wire x, y, ...;          // przewód dla sygnałów wyjściowych

    localparam period = 20;   // zdefiniowany parameter

// obliczanie kroku analizy: jednostka czasu zdefiniowana w timescale
// przemnożona przez parameter period = 20 * 1 ns = 20ns

    układ dowolna_nazwa(a, b, ..., x, y, ... ); // wywołanie symulowanego modułu
                                                // z pliku układ.v, układ
                                                // dotyczy nazwy modułu
                                                // z pliku układ.v

    initial // blok wywoływany tylko raz
        begin

            // zapis analizy do pliku vcd
            $monitor("a=%b, b=%b, out=%b", a, b, out);
            $dumpfile("and2_gate.vcd");
            $dumpvars(0, and2_gate_tb);

            a = 0; b = 0;          // wartości wejść
            #period;              // odczekaj czas kroku analizy

            a = 0; b = 1;
            #period;

            a = 1; b = 0;
            #period;

            a = 1; b = 1;
            #period;

            $finish;
        end
endmodule

```