

Wstęp do analizy układów mikroelektronicznych

Katedra Mikroelektroniki i Technik Informatycznych
Politechnika Łódzka

2015

Koszty układów mikroelektronicznych

Niemal wszystkie urządzenia elektroniczne wytwarzane przy użyciu układów scalonych mogły być produkowane, i często były, z wykorzystaniem dyskretnych przyrządów półprzewodnikowych, lub lamp próżniowych przed wielu laty. Jednak dopiero rozwój mikroelektroniki umożliwił taką obniżkę kosztów, że zegar kwarcowy, czy też mikrokomputer stały się przedmiotami powszechnego użytku.

Niezwykle niska cena realizacji układu scalonego stała się główną racją bytu mikroelektroniki. Dopiero w dalszej kolejności należy wymienić dużą niezawodność, a następnie małe wymiary, ciężar i pobór mocy.

Ostatecznym celem projektanta jest zatem efekt ekonomiczny

Cel ten można osiągnąć dwoma sposobami:

1. Jak zaprojektować układ, aby spełniał określone wymagania użytkowe a przy tym jego koszt produkcji był możliwie najniższy?
2. Jak zaprojektować, aby przy określonym górnym pułapie kosztu produkcji jego właściwości użytkowe były możliwie najlepsze?

Ad.1. Dotyczy znanych układów i rozwiązań (bez innowacji technicznych lub z minimalnymi) - chcemy również „wejść na rynek”.

Ad.2. Dotyczy nowego wyrobu - możliwe są różne rozwiązania techniczne.

Koszt jednego układu scalonego jest sumą dwóch składników

$S1$ – część kosztu projektowania układu i przygotowania produkcji liczone na jeden układ.

$S2$ – koszt wytworzenia jednego układu.

Koszt $S1$ to:

projekt, maski, wykonanie i testowanie serii próbnych.

Koszt $S2$ to:

faza obróbki wspólnej oraz faza obróbki indywidualnej.

Metody rozmieszczania elementów układów scalonych

Wyróżniamy cztery podstawowe zasady rozmieszczania:

1. Układ musi działać, spełniać warunki techniczne i mieć określony poziom niezawodności.
2. Musi być możliwe wykonanie połączeń między elementami.
3. Cały układ nie powinien stwarzać trudnień przy testowaniu i montażu.
4. Układ powinien zajmować jak najmniejszą powierzchnię.

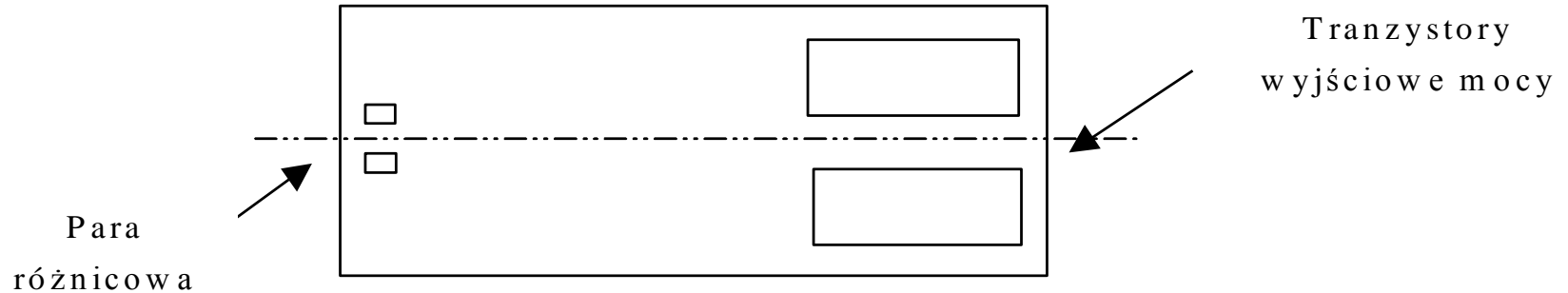
Warunki 1 i 2 są warunkami koniecznymi, natomiast warunki 3 i 4 minimalizują koszty wykonania układu.

Ad 1. Podział układu na wyspy izolowane, analiza wpływu sprzężeń pasożytniczych (dotyczy głównie pojemności oraz pasożytniczych elementów czynnych, takich jak diody i tranzystory pasożytnicze, które powinny być nieaktywne), sprzężenia elektromagnetyczne dla w.cz.. Po przeprowadzeniu ekstrakcji elementów pasożytniczych trzeba umieć odróżnić istotne od nieistotnych. Te ostatnie pomijamy upraszczając w ten sposób analizę.

Analiza sprzężeń cieplnych. W ogólnym przypadku trzeba rozwiązać równanie przewodnictwa cieplnego (często trudne i bardzo czasochłonne). Bardzo często stosujemy następujące reguły empiryczne:

- a) elementy, które powinny mieć tą samą temperaturę należy umieszczać jak najbliżej siebie;
- b) jedną z dwóch osi symetrii równoległych do krawędzi płytki krzemu należy uczynić cieplną osią symetrii;
- c) fragmenty układu wrażliwe na temperaturę należy umieszczać jak najdalej od elementów grzejących.

Rozmieszczenie tranzystorów wejściowych i wyjściowych wzmacniacza operacyjnego



Ad. 2. Rozmieszczanie elementów należy realizować równocześnie z prowadzeniem połączeń.

Ad. 3. Pola montażowe, czyli pola do testowania i wyprowadzenia do obudowy trzeba projektować w ścisłej kolejności, wiedząc jaka obudowa będzie zastosowana.

Ad. 4. Korzystając z reguł projektowania dla danej technologii:

- a) stosujemy wartości minimalne wymiarów topologii, jak tylko to jest możliwe;
- b) nie zostawiamy pustych obszarów powierzchni krzemu;
- c) stosujemy standaryzację położenia ścieżek masy i zasilania.

Pojemności w technologii MOS

Wyróżniamy dwa typy pojemności:

1. pojemność typu bramka - kanał,
2. pojemność typu polikrzem - tlenek - polikrzem.

Ad. 1. Górną okładkę tworzy polikrzem bramki, natomiast dolną okładkę stanowi obszar domieszkowany typu n^+ w podłożu typu p . Aby być kompatybilnym z procesem wytwarzania tranzystorów MOS, obszar typu n pod tlenkiem bramki musi być implantowany dla tranzystora z kanałem typu n (w tranzystorze zubożonym, czyli normalnie załączonym). Jeżeli podłoże p jest mniej dodatnie od n^+ , wówczas okładka dolna jest izolowana od podłoża. Taka polaryzacja złącza p - n prowadzi jednak do tego, że pojemności pasożytnicze tego złącza zależą od napięcia złącza i mogą mieć bardzo duży wpływ na wypadkową pojemność. W technologiach nanometrowych wartość takiej pojemności jest rzędu ułamka $fF/\mu m^2$.

Ad. 2. Kondensatory polikrzem – tlenek – polikrzem wymagają procesu z dwoma warstwami polikrzemu. Ponadto, dla wytworzenia tlenku potrzebne są dodatkowe procesy technologiczne. Zaletą takich kondensatorów jest mniejsza zależność pojemności pasożytniczych od napięcia. Rząd wartości tej pojemności to pojedyncze $fF/\mu m^2$, i wynika z nieco grubszej warstwy tlenku niż w tranzystorze MOS.

Należy zwracać szczególną uwagę na:

1. Stosunki tych pojemności w układzie scalonym
2. Współczynniki napięciowe i temperaturowe
3. Pojemności pasożytnicze

$$C = (\varepsilon_{0x} \cdot A) / t_{0x} = C_{0x} \cdot A$$

ε_{0x} – stała dielektryczna tlenku (około 0,35 fF/ μm)

t_{0x} – grubość tlenku

A – powierzchnia pojemności

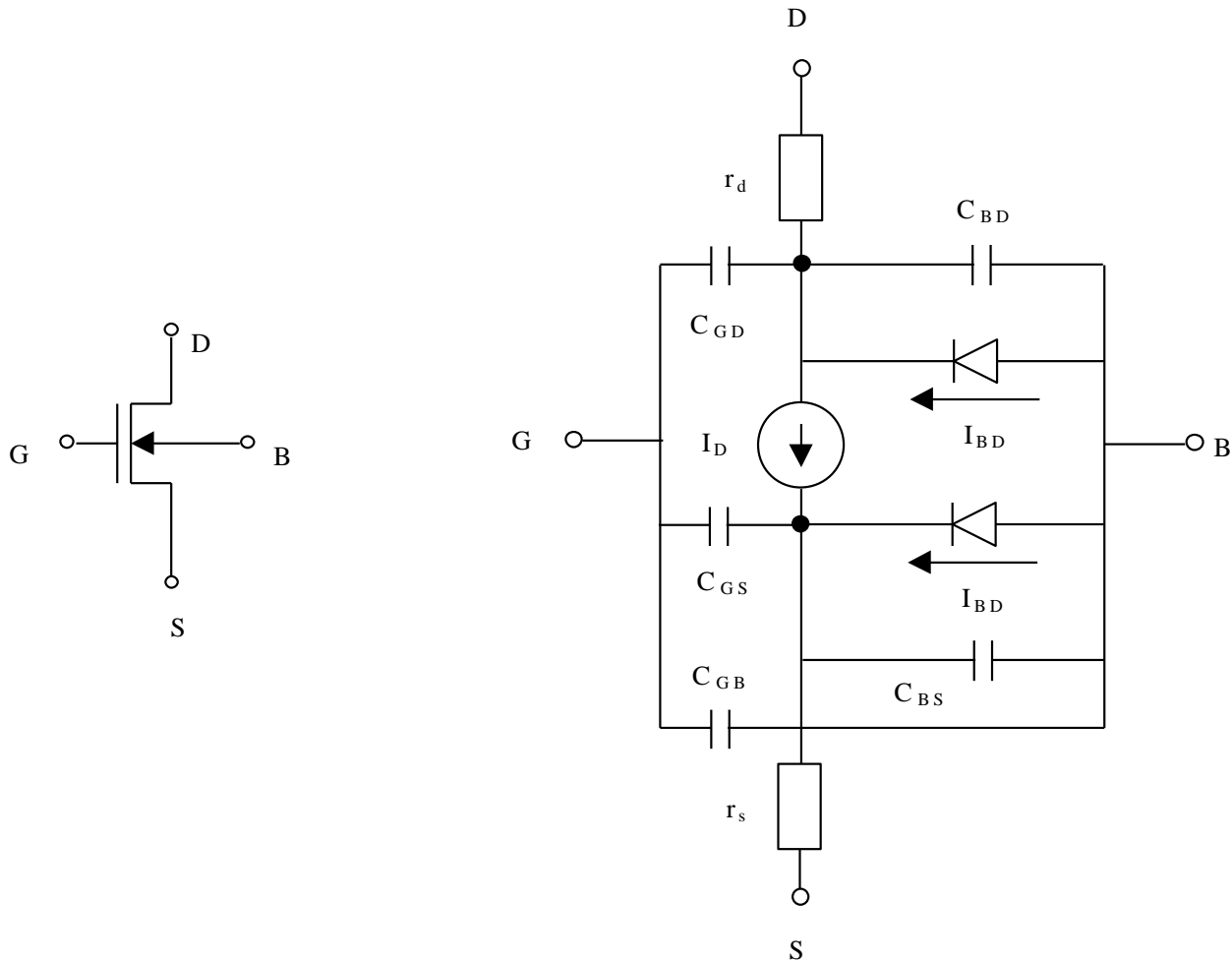
Dokładność pojemności zależy zatem od A oraz t_{0x} . Podstawowym źródłem błędów jest parametr powierzchni A . Istnieje wiele przyczyn tych błędów, np. podtrawienie, czyli podcięcie tlenku w procesie fotolitografii, rozdzielczość masek. Oba typy błędów są związane z „obrzeżem” pojemności, czyli silnie zależą od konturów.

O jakości układu analogowego decyduje dokładność stosunków pojemności. Pojemności C_1 i C_2 w rzeczywistym układzie mają wartości:

$$C_1' = C_1 + \Delta C_1 \qquad C_2' = C_2 + \Delta C_2$$

Ponieważ ΔC jest proporcjonalne do obrzeży C natomiast wartość pojemności jest proporcjonalna do powierzchni, należy zachować stały stosunek obwodu do powierzchni.

$$\frac{C_2'}{C_1'} = \left(\frac{C_2}{C_1} \right) \cdot \left[1 \pm \left(\frac{\Delta C_1}{C_1} \right) \mp \left(\frac{\Delta C_2}{C_2} \right) \right]$$



Tranzystor MOS z kanałem typu n i odpowiadający mu model wielkosygnałowy

Modelowanie tranzystora MOS

$$I_D = (\mu_n C_{ox} W) / 2L \cdot [2(V_{GS} - V_T) - V_{DS}] \cdot V_{DS} \cdot (1 + \lambda V_{DS})$$

$$V_T = V_{T0} + \gamma \left[\sqrt{\Phi - V_{BS}} - \sqrt{\Phi} \right]$$

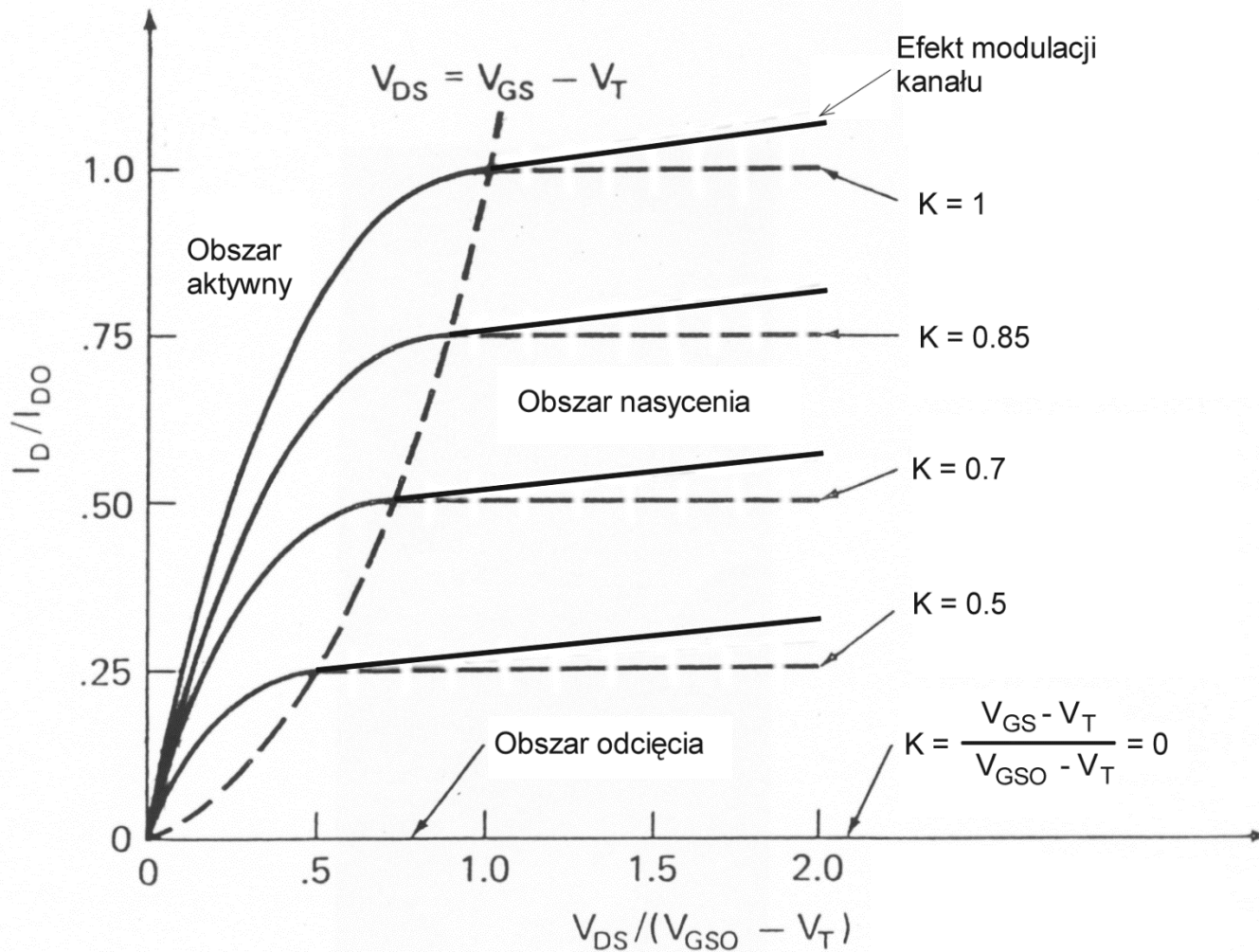
μ_n – ruchliwość kanału n ,

$C_{ox} = \epsilon_{ox} / t_{ox}$ – pojemność (na jednostkę powierzchni) warstwy bramka-tlenek,

λ - parametr modulacji długości kanału.

$$I_D = K' W / L \cdot [(V_{GS} - V_T) - V_{DS} / 2] \cdot V_{DS} \cdot (1 + \lambda V_{DS})$$

$$K' = \mu_n C_{ox}$$



Charakterystyki wyjściowe tranzystora MOS z kanałem typu n.

Obszar odcięcia: $I_D = 0$, dla $V_{GS} - V_T \leq 0$

Obszar aktywny: $0 < V_{DS} < V_{GS} - V_T \longrightarrow V_{DS(sat)} = V_{GS} - V_T$

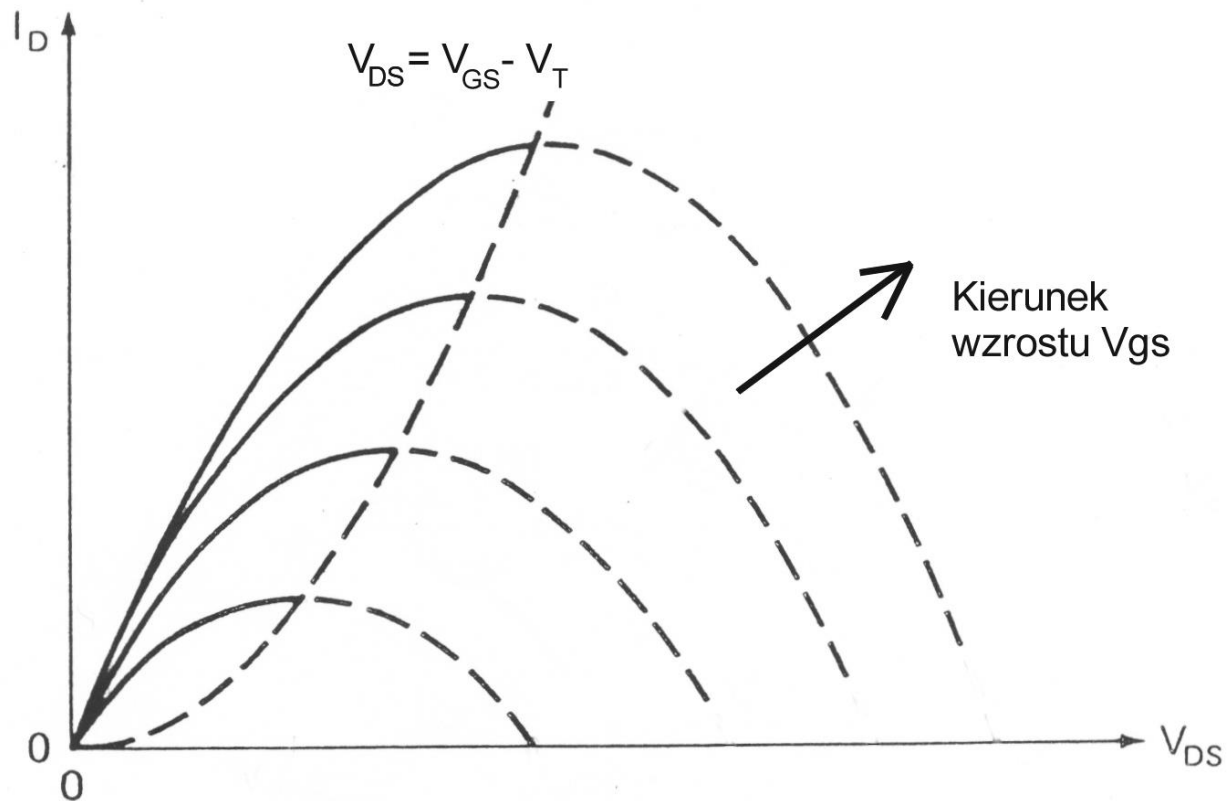
$$I_D = K' W / L \cdot [(V_{GS} - V_T) - V_{DS} / 2] \cdot V_{DS} \cdot (1 + \lambda V_{DS})$$

Obszar nasycenia: $0 < V_{GS} - V_T \leq V_{DS}$

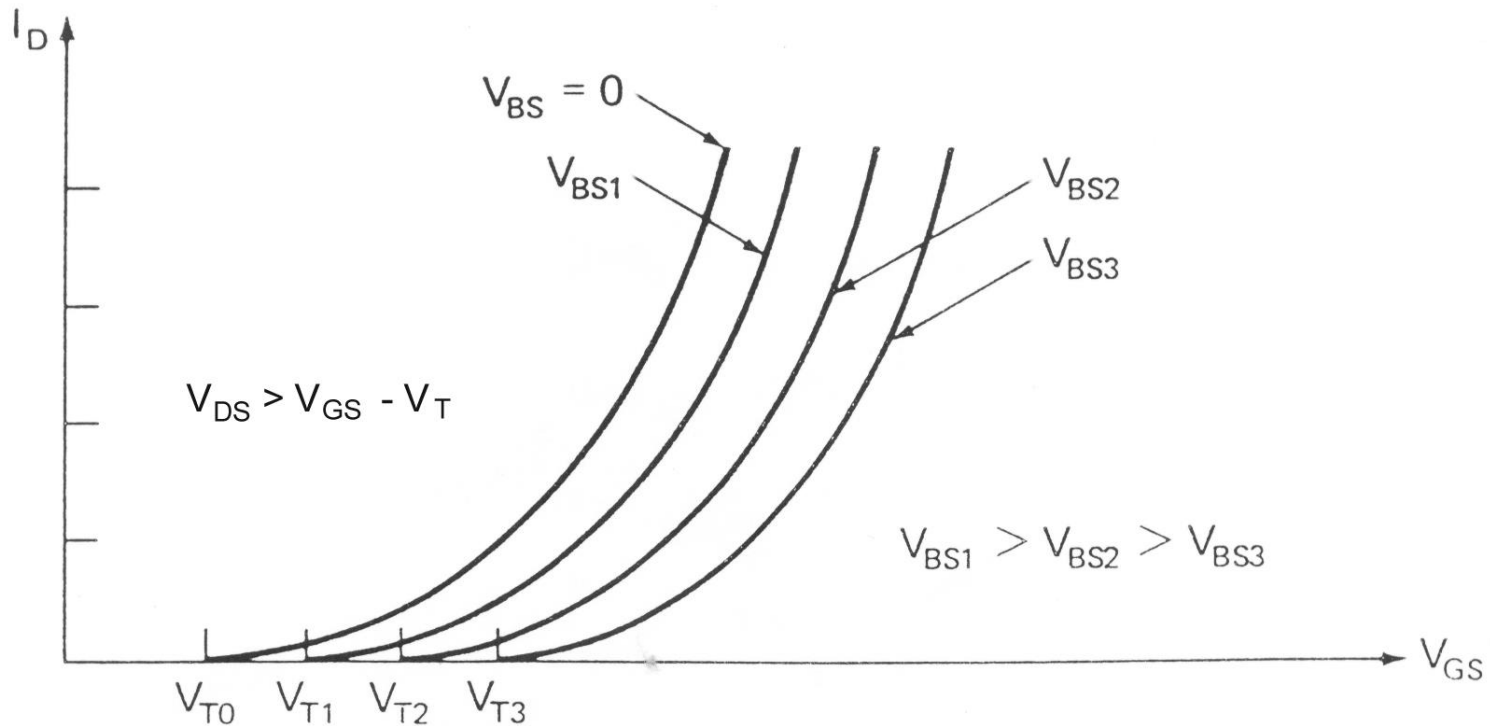
$$I_D = (\mu_n C_{ox} W) / 2L \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda V_{DS})$$

$$K' = \mu_n C_{ox}$$

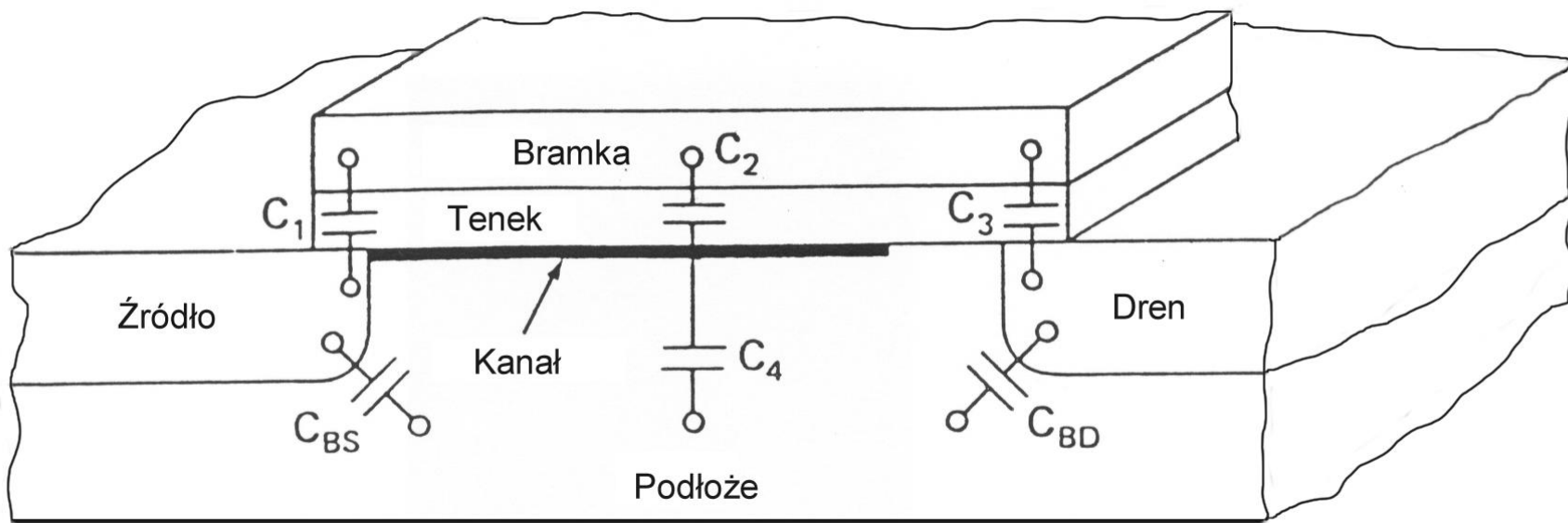
$$V_T = V_{T0} + \gamma \left[\sqrt{\Phi - V_{BS}} - \sqrt{\Phi} \right]$$



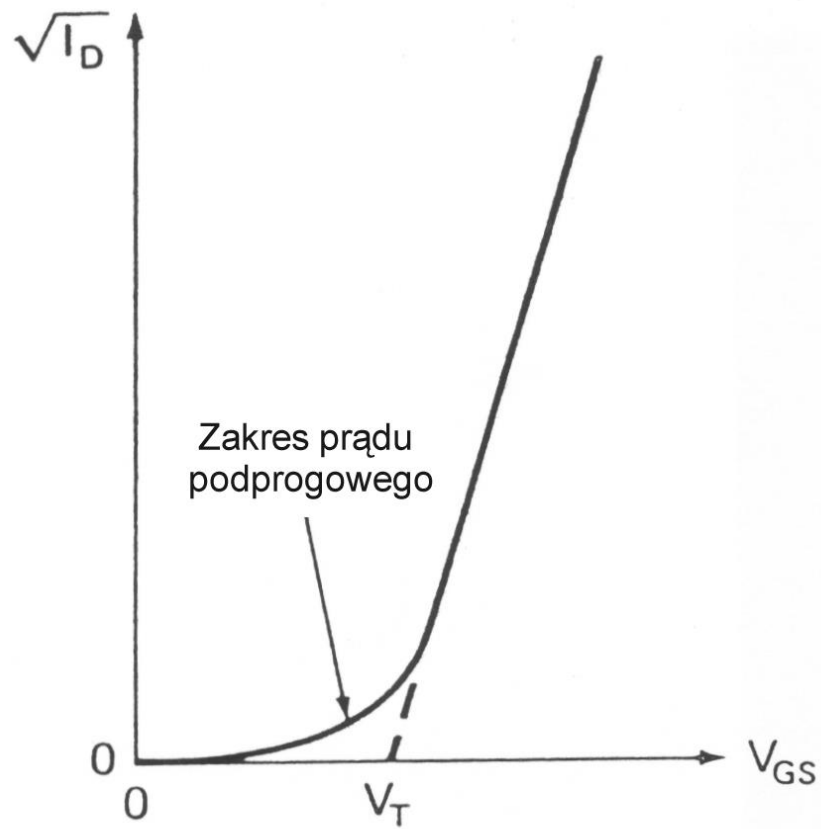
Ilustracja efektu nasycenia kanału tranzystora MOS.
 Charakterystyki wykreślone w obszarze nasycenia linią przerywaną na podstawie równania prądowego nie mają interpretacji fizycznej.



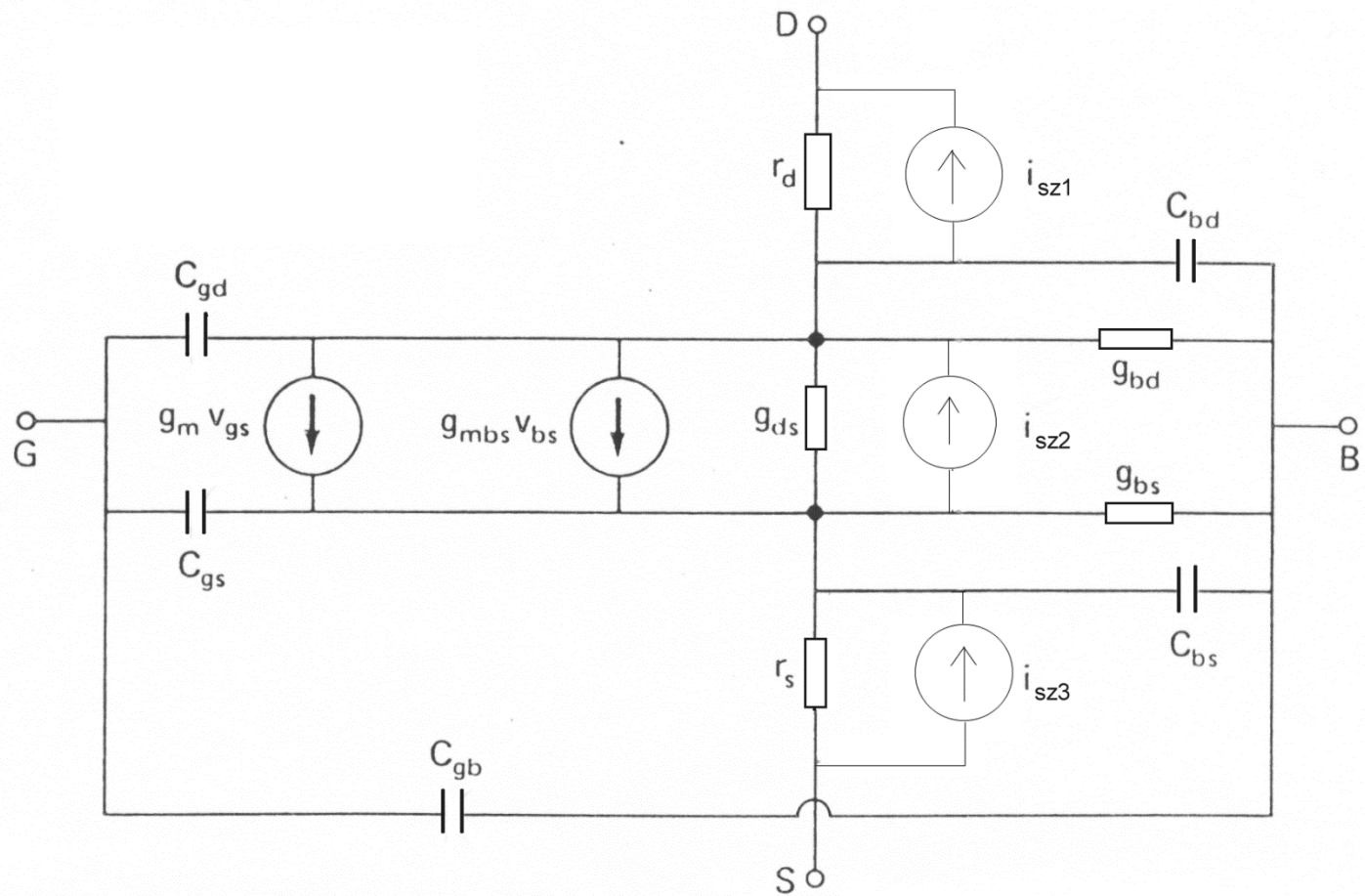
Charakterystyki przejściowe przy różnych napięciach polaryzacji podłoża.



Pojemności w tranzystorze MOS.



Prąd podprogowy w tranzystorze MOS.



Model małosygnalowy tranzystora MOS.

$$g_{mbs} = \frac{\partial I_D}{\partial V_{BS}}$$

$$g_m = \frac{\partial I_D}{\partial V_{GS}}$$

$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}}$$

Gdzie:

g_{mbs} oznacza konduktancję podłoże - źródło,
 g_m - transkonduktancję,
 g_{ds} jest konduktancją dren-źródło.

Parametry te zależą od tego, w jakim punkcie pracy znajduje się tranzystor.

Przyjmując, że tranzystor jest w **stanie nasycenia** otrzymujemy następujące zależności:

$$I_D = (\mu_n C_{ox} W) / 2L \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda V_{DS})$$

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \approx \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)$$

$$g_{mbs} = \frac{\partial I_D}{\partial V_{BS}} = \left(\frac{\partial I_D}{\partial V_T} \right) \cdot \left(\frac{\partial V_T}{\partial V_{BS}} \right)$$

Ponieważ $\frac{\partial I_D}{\partial V_T} = - \frac{\partial I_D}{\partial V_{GS}}$

$$g_{mbs} = \frac{\partial I_D}{\partial V_{BS}} = \left(- \frac{\partial I_D}{\partial V_{GS}} \right) \cdot \left(\frac{\partial V_T}{\partial V_{BS}} \right) = -g_m \cdot \left(\frac{-\gamma}{2\sqrt{\Phi - V_{BS}}} \right) = \eta \cdot g_m$$

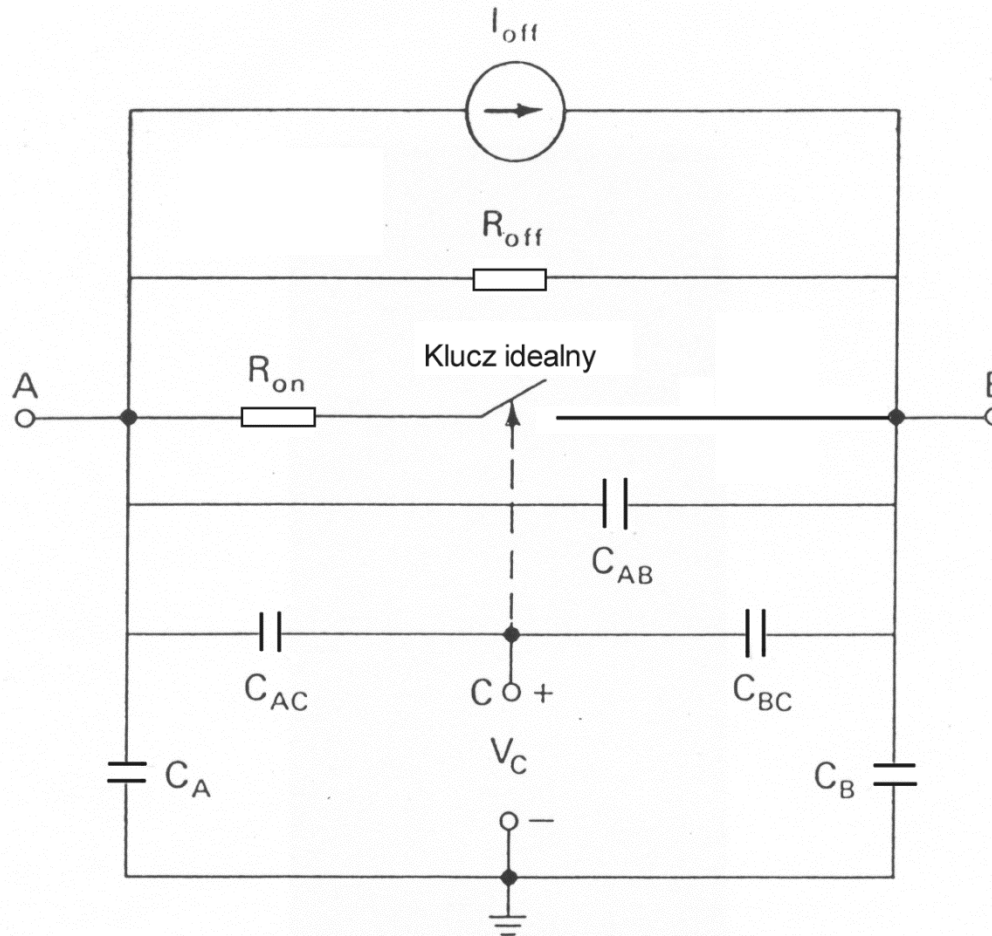
Gdzie: $\eta = - \frac{\gamma}{2\sqrt{\Phi - V_{BS}}}$

Konduktancja drenu jest opisana w nasyceniu następującą zależnością:

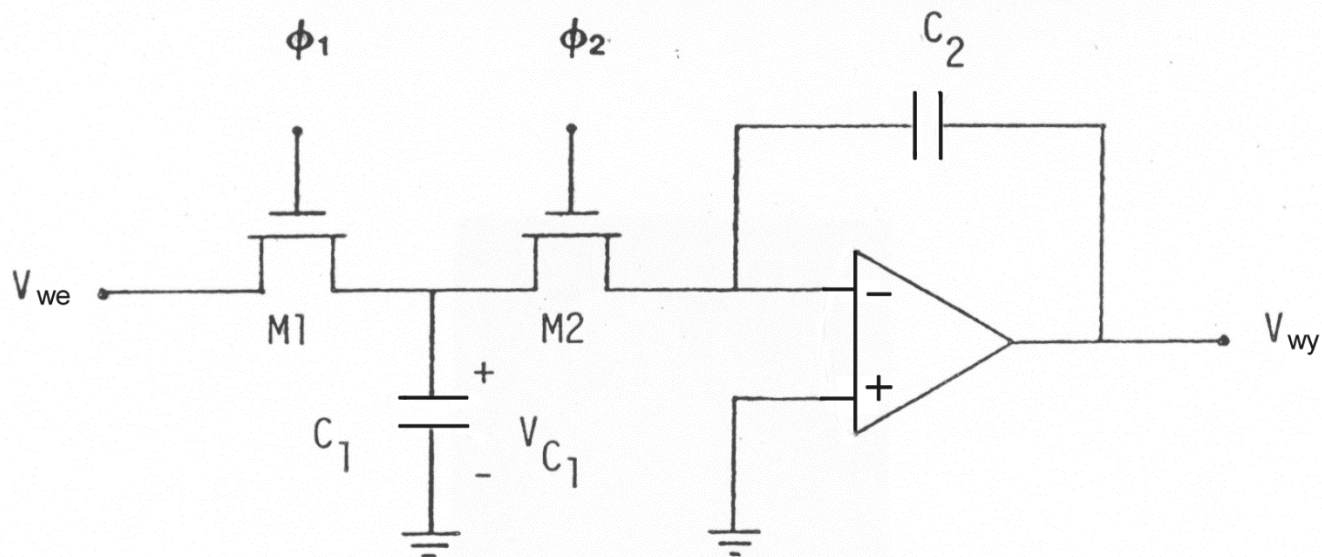
$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}} \approx \lambda \cdot I_D$$

Wszystkie **pojemności** modelu małosygnalowego wyznaczamy z modelu wielosygnalowego dla danego punktu pracy.

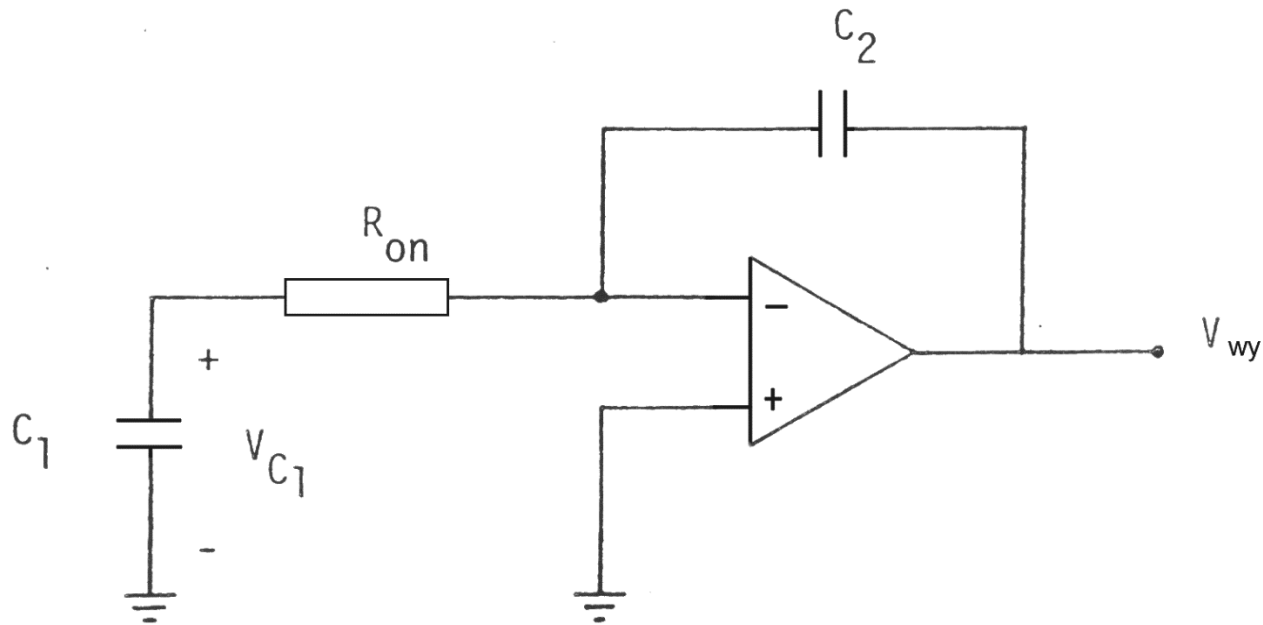
Schemat klucza tranzystorowego z uwzględnieniem rzeczywistych nieidealnych parametrów



Podstawowa struktura integratora z przełączanymi pojemnościami



Zasada działania integratora z przełączanymi pojemnościami w czasie załączenia klucza M_2



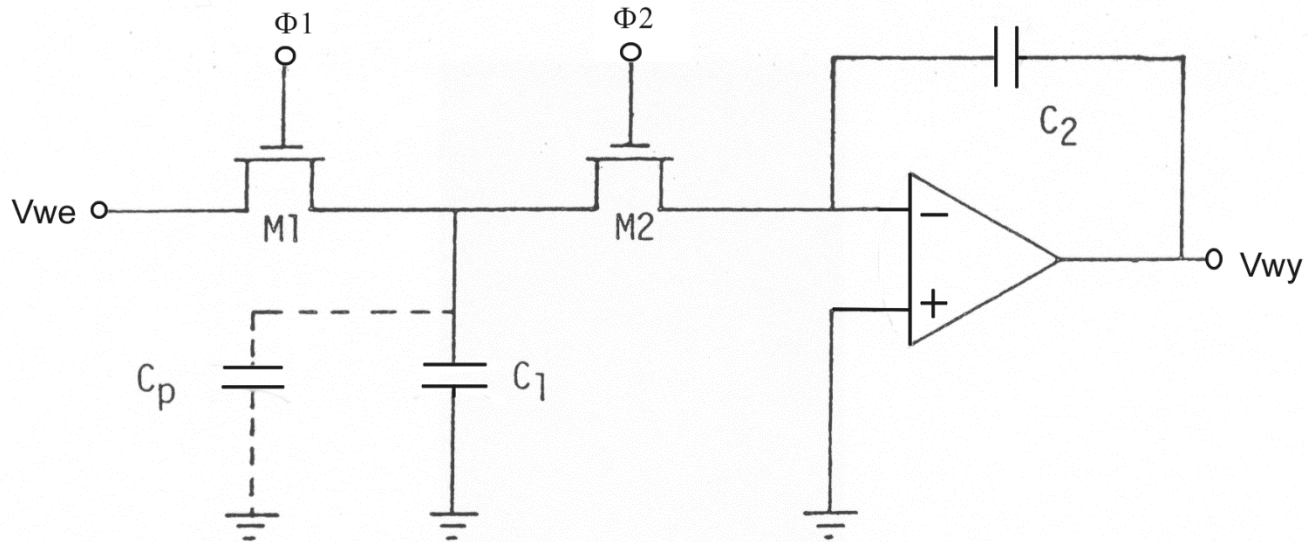
$$R_{on} C_1 \ll T_1$$

gdzie T_1 oznacza czas załączenia tranzystora M_1

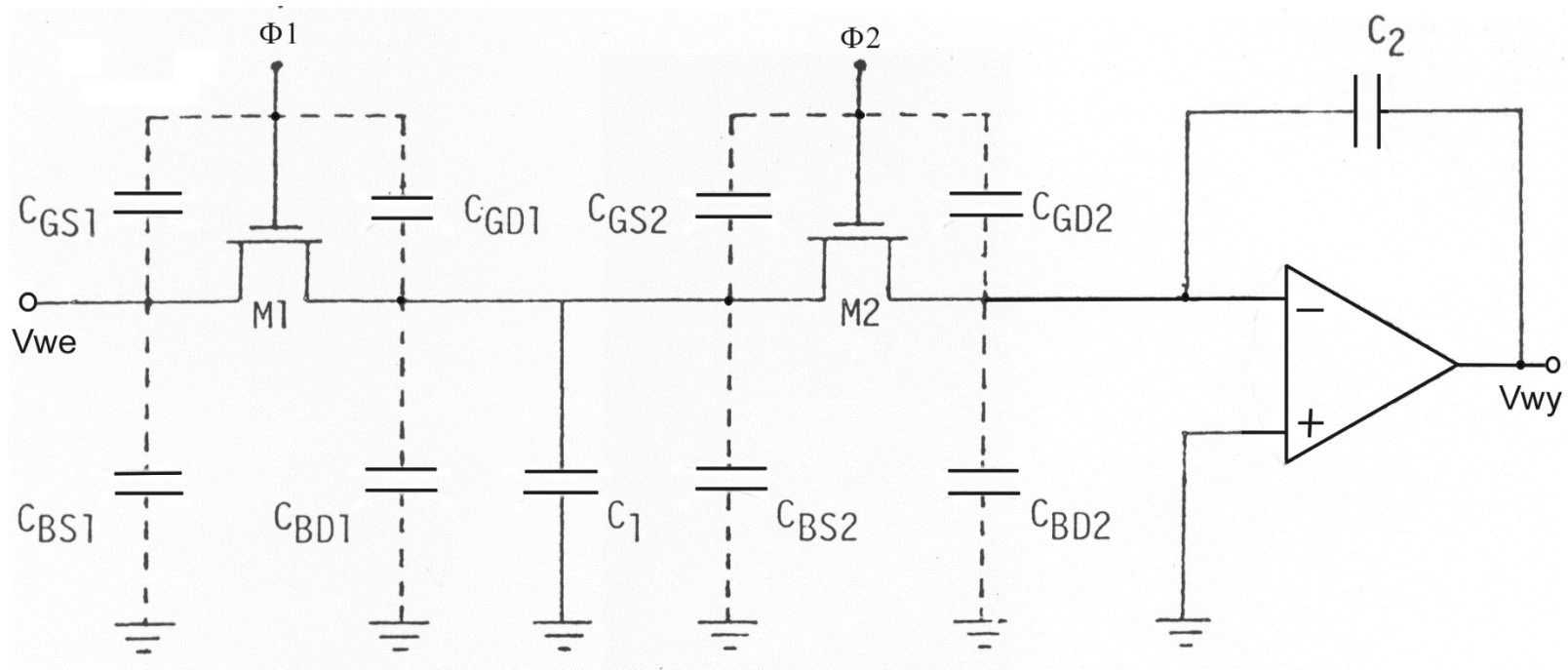
$$R_{on} C_1 \ll T_2$$

gdzie T_2 oznacza czas załączenia tranzystora M_2

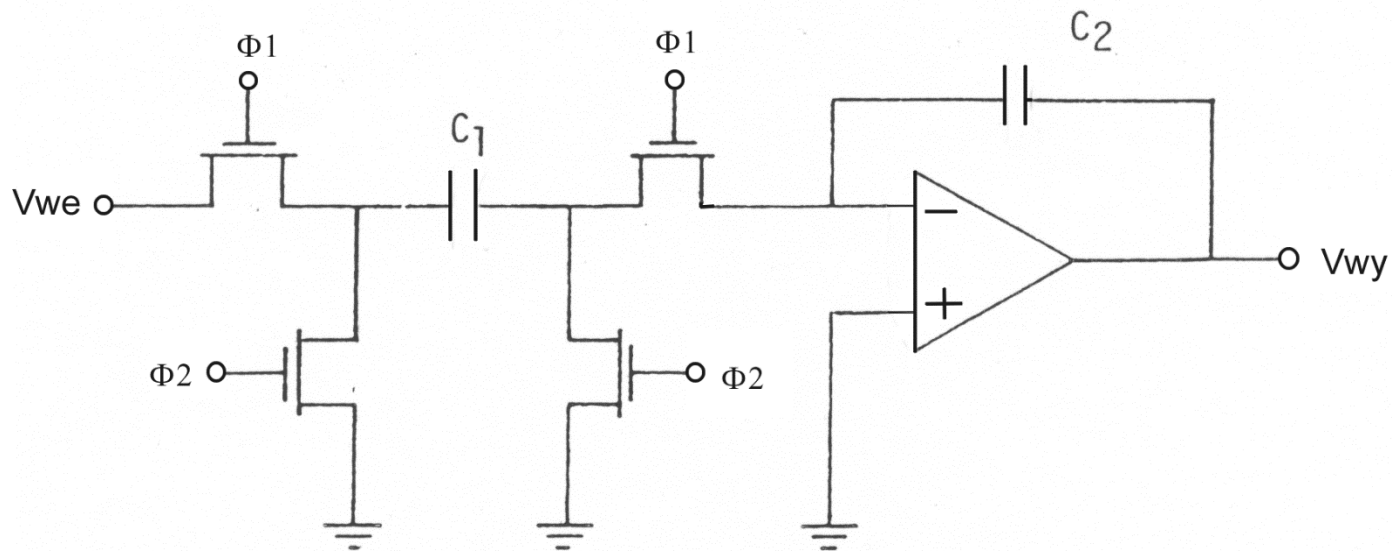
Integrator z przełączanymi pojemnościami z uwzględnieniem pojemności pasożytniczych



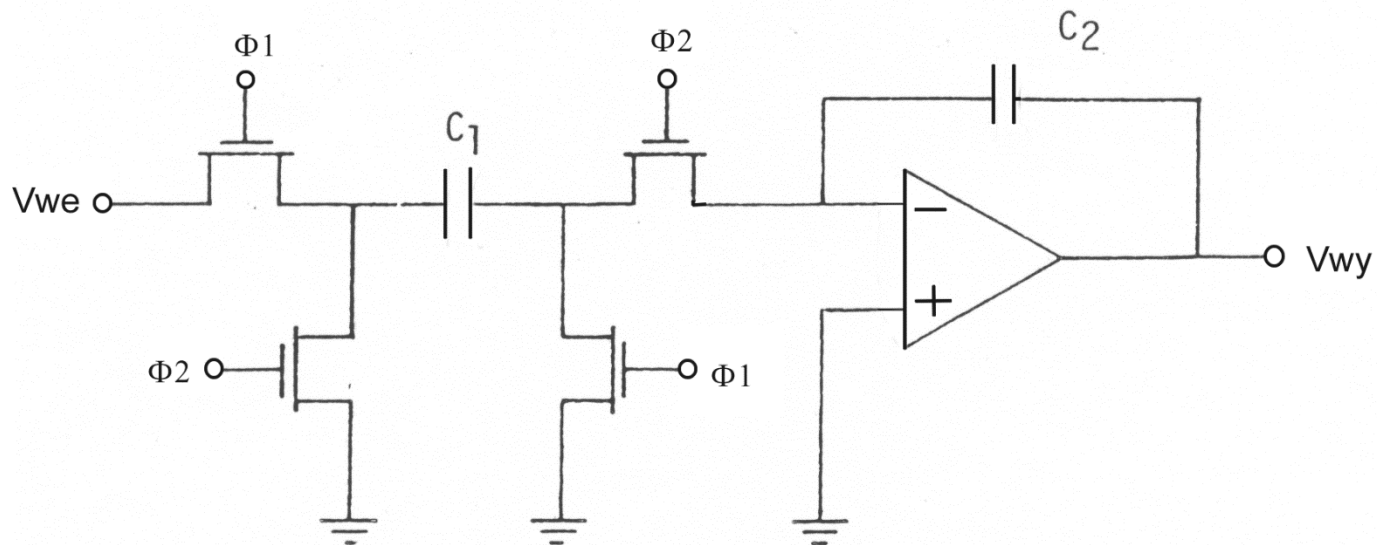
Integrator z przełączanymi pojemnościami z uwzględnieniem pojemności pasożytniczych



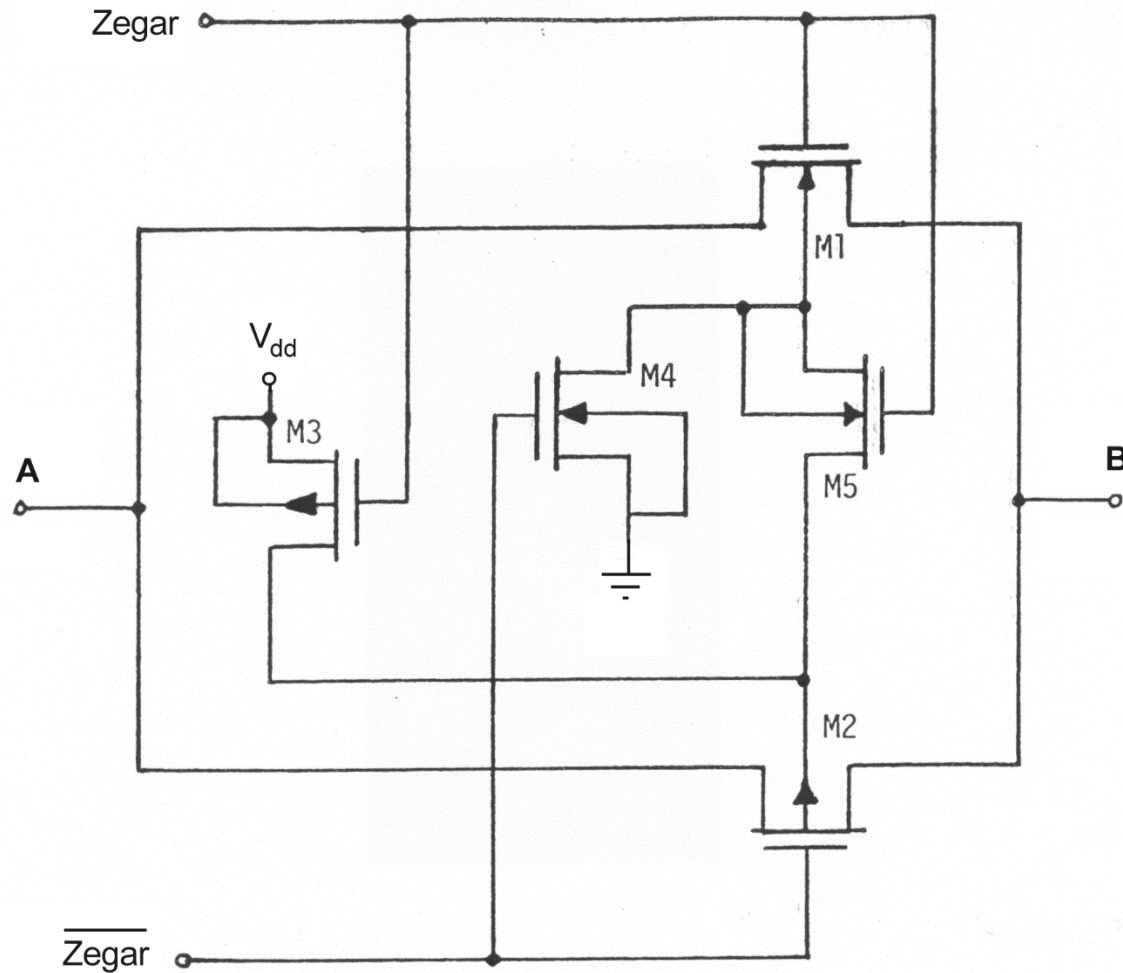
Integrator odwracający fazę niewrażliwy na pojemności pasożytnicze

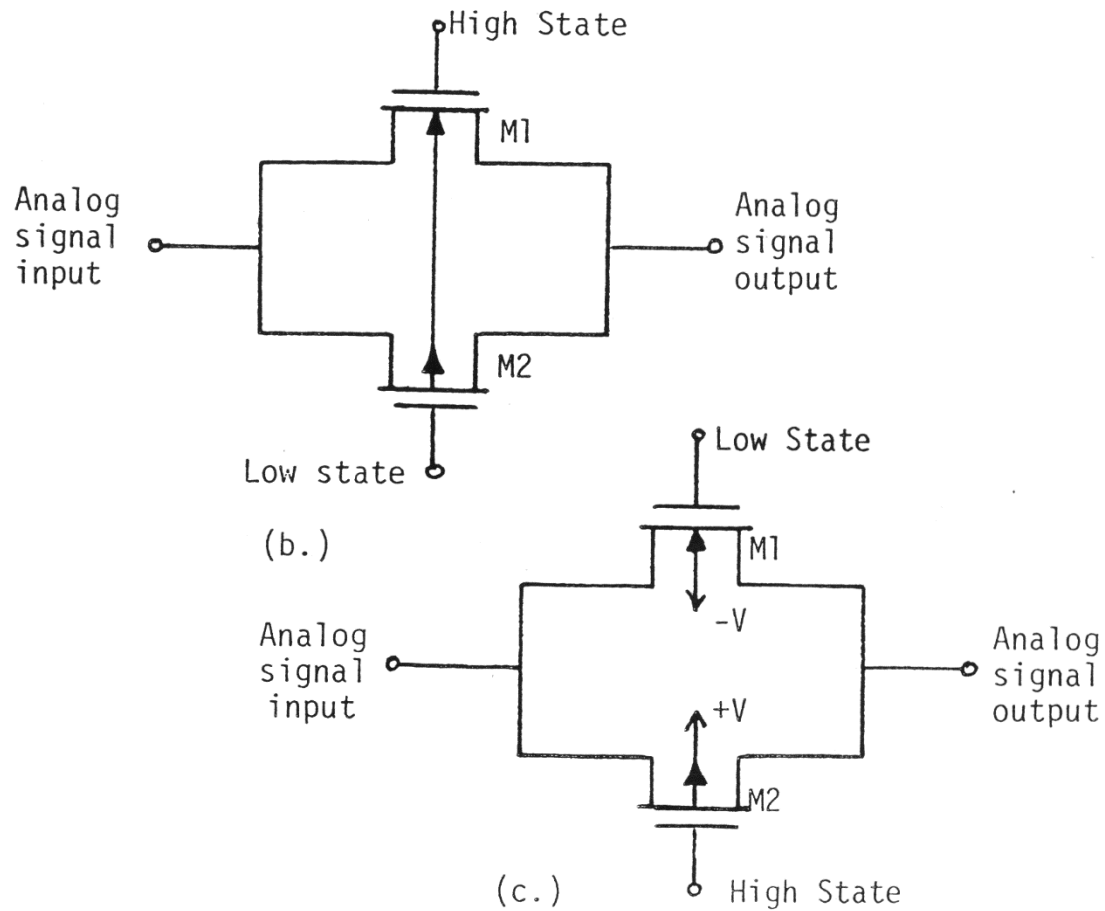


Integrator nie odwracający fazy niewrażliwy na pojemności pasożytnicze

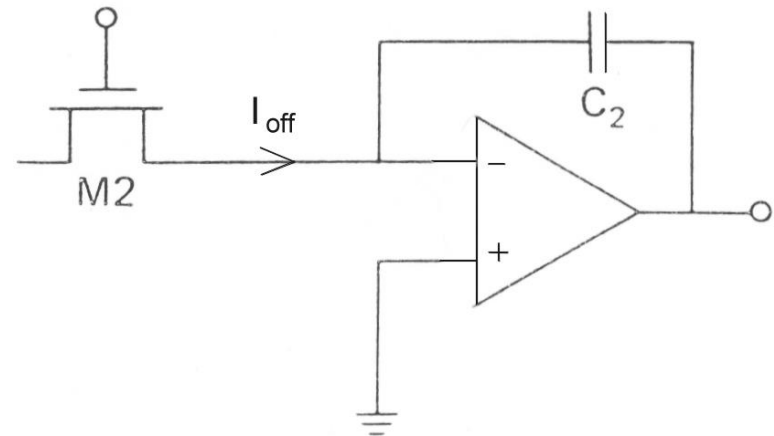
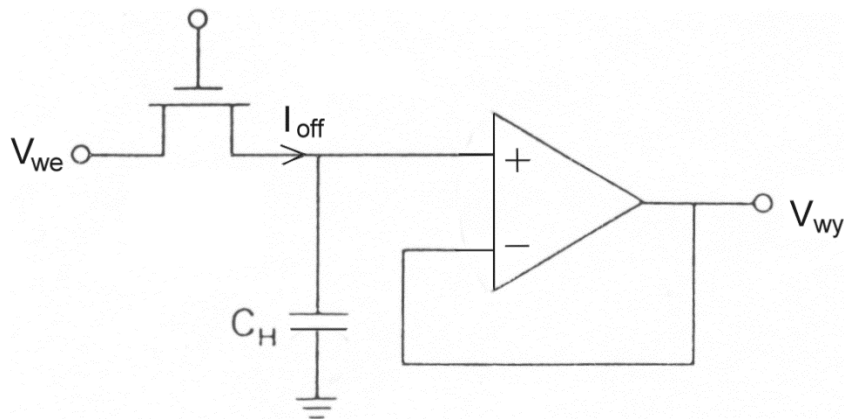


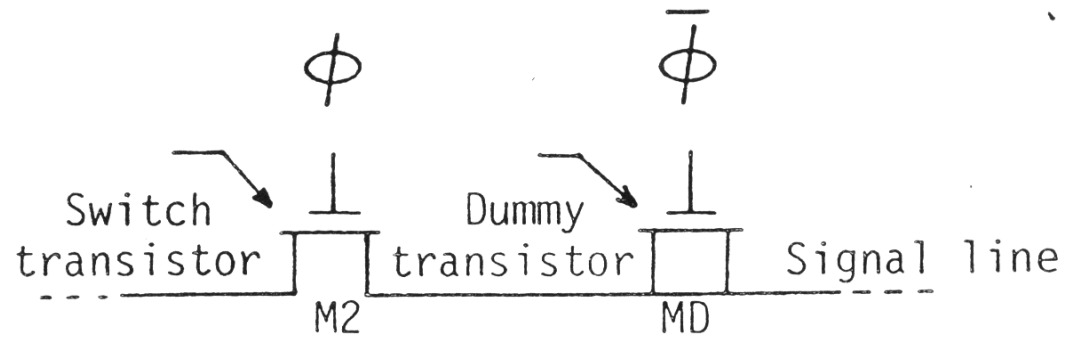
Klucz tranzystorowy CMOS z przełączaną polaryzacją podłoża



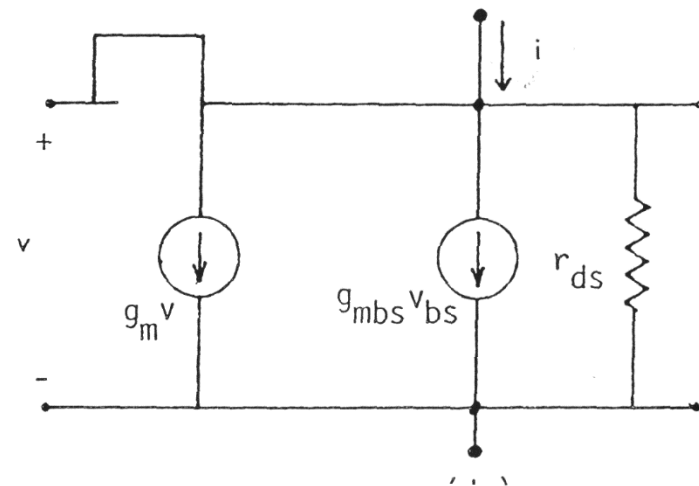
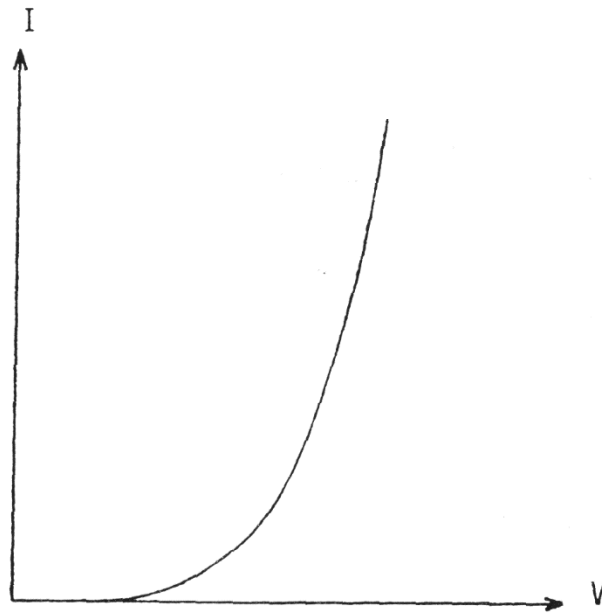
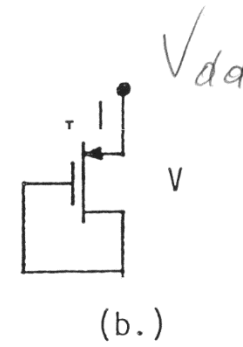
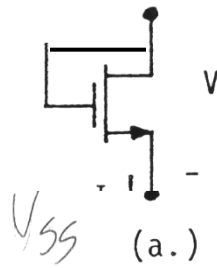


Układ próbkująco-pamiętający oraz integrator współpracujący z zegarem bardzo małej częstotliwości





Aktywne rezystory



Bibliografia

1. M. Napieralska, G. Jabłoński, Podstawy mikroelektroniki, Lodart S.A., Łódź, 2002
2. J. Porębski, P. Korohoda, SPICE: Program analizy nieliniowej układów elektronicznych, Wydanie piąte, WNT, Warszawa, 1996